

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



(19)

(11) Publication number:

60

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 59050413

(51) Intl. Cl.: H01L 23/12 H01L 23/02 H01L 23/04
1/18

(22) Application date: 16.03.84

(30) Priority:

(43) Date of application
publication: 03.10.85(84) Designated contracting
states:

(71) Applicant: NEC CORP

(72) Inventor: SENBA NAOHARU

(74) Representative:

(54) CHIP CARRIER

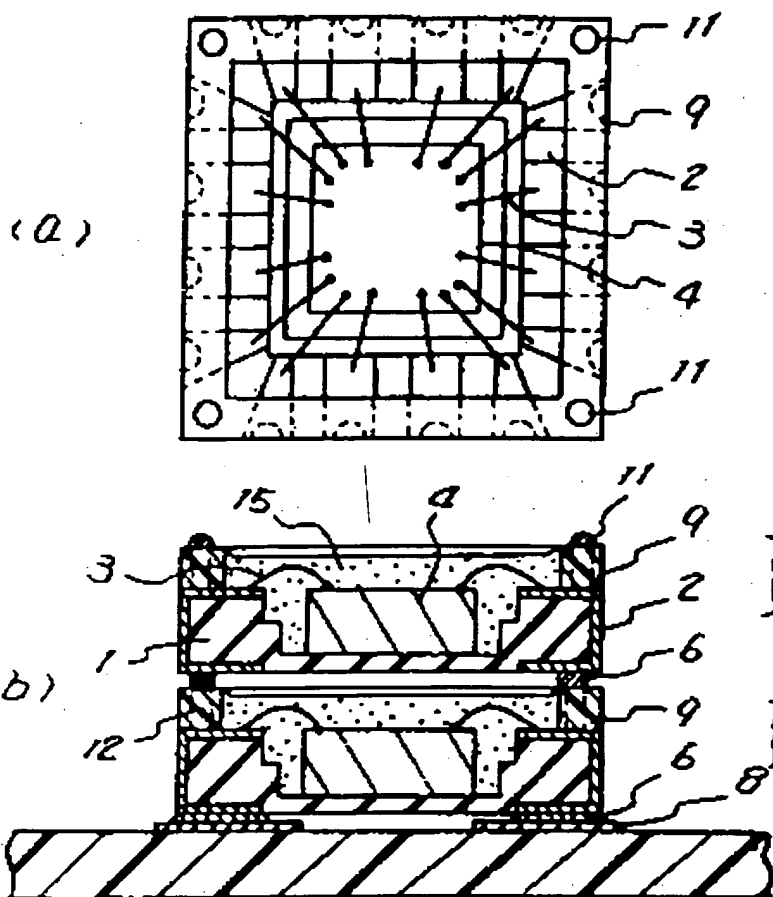
(57) Abstract:

PURPOSE: To enable stacking at two stages and three stages with similar semiconductor devices using chip carriers by a method wherein the upper part of a chip carrier body is provided with an electrode for stacking connection.

CONSTITUTION: A resinous frame 9 is adhered to the upper surface in the periphery of a ceramic container base 1, thus forming the chip carrier body. Electrodes 11 penetrating vertically through through-holes 12 are provided in the frame 9 or the four corners of the chip carrier body. After a semiconductor element 4 is fixed to the center recess of the container base 1, the electrode of the semiconductor element 4 is connected to the chip carrier electrode 2 of the base 1 with metallic fine wires 3; then, the whole is sealed with a resin 15. A semiconductor device 10 thus constructed is

connected by fitting the electrodes 11 at the four corners of the container base 1 to the electrode 8 of the printed circuit board 7. Next, a similar semiconductor device 20 is stacked on the semiconductor device 10 and fixed by connection with the four-corner electrodes 11 penetrating through the upper and lower surfaces; thereby, a two-stacked chip carrier type semiconductor device is obtained.

COPYRIGHT: (C)1985,JPO&Japio

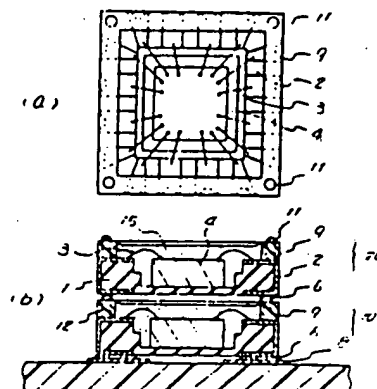


54 CHIP CARRIER

(11) 60-191518 (A) (13) 3.10.1985 (19) JP
 (12) Appl. No. 59-50113 (22) 16.3.1984
 (71) NIPPON DENKI K.K. (72) NAOHARU SENBA
 (51) Int. Cl. H01L23/12, H01L23/02, H01L25/16, H05K1/18

PURPOSE: To enable stacking at two stages and three stages with similar semiconductor devices using chip carriers by a method wherein the upper part of a chip carrier body is provided with an electrode for stacking connection.

CONSTITUTION: A resinous frame 9 is adhered to the upper surface in the periphery of a ceramic container base 1, thus forming the chip carrier body. Electrodes 11 penetrating vertically through through-holes 12 are provided in the frame 9 at the four corners of the chip carrier body. After a semiconductor element 4 is fixed to the center recess of the container base 1, the electrode of the semiconductor element 4 is connected to the chip carrier electrode 2 of the base 1 with metallic fine wires 3; then, the whole is sealed with a resin 15. A semiconductor device 10 thus constructed is connected by fitting the electrodes 11 at the four corners of the container base 1 to the electrode 8 of the printed circuit board 7. Next, a similar semiconductor device 20 is stacked on the semiconductor device 10 and fixed by connection with the four-corner electrodes 11 penetrating through the upper and lower surfaces; thereby, a two-stacked chip carrier type semiconductor device is obtained.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭60-194548

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和60年(1985)10月3日

H 01 L 23/12

23/02

7357-5F

25/10

7738-5F

H 05 K 1/18

7638-5F

6736-5F

審査請求 未請求 発明の数 1 (全2頁)

⑮ 発明の名称 チップキャリア

⑯ 特 願 昭59-50413

⑰ 出 願 昭59(1984)3月16日

⑱ 発 明 者 仙 波 直 治 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

チップキャリア

2. 特許請求の範囲

チップキャリア本体部の上面に、積重ね接続用の電極が設けられていることを特徴とするチップキャリア。

3. 発明の詳細な説明

イ. 産業上の利用分野

本発明は、集積回路素子などの半導体素子を内部に収納し保護する収納容器(パッケージという)のうち、特にリードレス型として開発されたチップキャリアに関する。

ロ. 従来技術

第1図(a)は、従来一般のチップキャリア型パッケージの半導体装置の平面図、同図(b)は断面図である。これらの図において、セラミックやガラス

エポキシなどで作られているチップキャリアの容器基台1に電極2が形成され、中央凹部に半導体素子4を配座後、半導体素子の電極とチップキャリアの電極2との間が金属細線3を用いて接続され、樹脂5により封止されている。このような半導体装置をプリント回路基板7に搭載する場合は、チップキャリアの電極2とプリント回路基板側電極8を接着剤(導電性接着剤・はんだ等)6を用いて接続している。

しかしながら、このような構造では、平面的な搭載方法のみしか適用不可能であり、プリント回路基板に直接半導体素子を搭載し、ワイヤボンディングによる接続方法と比較しても、ボンディング範囲よりも更に大きくなるので集積度は低くなる。しかし、高集積化、小型化が要求されている現今では、従来方法のチップキャリアの構造をもってしては対応不可能である。

ハ. 発明の目的

本発明の目的は、前述したような従来構造の問題点を解消することのできる多段階接続チップキャ

リヤを提供するにある。

ニ、発明の構成

本発明によればタップキャリヤ本体部の上面に、積重ね接続用の電極が設けられたタップキャリヤが得られる。

ホ、実施例

つぎに本発明を実施例により説明する。

第2図(a)は本発明の一実施例に係るタップキャリヤを用いて組立てた半導体装置の平面図、同図(b)は断面図である。これらの図において、セラミックの容器基台1周辺部上面に、樹脂製の枠体9が積層されて、タップキャリヤ本体を形成し、枠体9、換言すれば、タップキャリヤ本体の四隅には、スルーホール12により上下に貫通している電極11が設けられている。容器基台1の中央凹部に半導体素子4を固着後、半導体素子4の電極と基台1のタップキャリヤ電極2との間は金属細線3により接続後、樹脂15により封止されている。このように構成された半導体装置10は、プリント回路基板7の電極8に容器基台1の四隅の電極

は断面図である。

1……容器基台、2……タップキャリヤ電極、3……金属細線、4……半導体素子、5……封止樹脂、7……プリント回路基板、8……回路基板電極、9……枠体、11……積重ね接続用四隅電極、12……スルーホール、10、20……半導体装置。

代理人 弁理士 内 原 晋



特開昭60-194548(2)

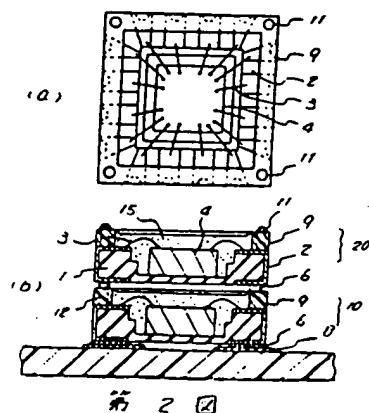
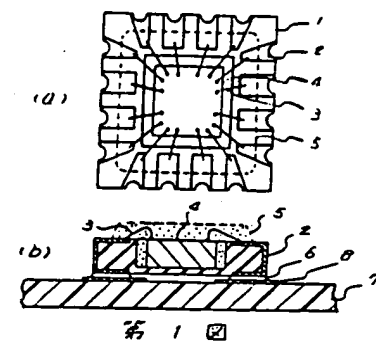
11を合せて接続し、つぎに、同様の半導体装置20を半導体装置10の上に重ね、上下面に貫通している四隅の電極11でもって接続固定するとにより、2段重ねのタップキャリヤ型半導体装置が得られる。


ヘ、発明の効果

本発明のタップキャリヤを用いた半導体装置は、タップキャリヤ本体上部に、積重ね接続用の電極が設けられているので、この電極を用いて、同様のタップキャリヤを用いた半導体装置と、2段にも3段にも重ね合わせることができる。したがって、このようにして多段構成とすることにより、プリント回路基板に直接半導体素子を搭載し、ワイヤボンディングで接続するのに比べ、容易に2倍以上の集積度とすることができる効果がある。

4. 図面の簡単な説明

第1図(a)は従来のタップキャリヤを用いた半導体装置の平面図、同図(b)断面図、第2図(a)は本発明の一実施例による半導体装置の平面図、同図(b)

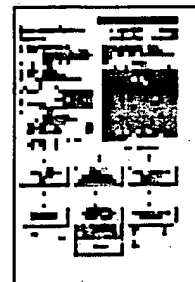


Title: **JP60194548A2: CHIP CARRIER**Country: **JP Japan**Kind: **A**Inventor(s): **SENBA NAOHARU**Applicant/Assignee: **NEC CORP** [News, Profiles, Stocks and More about this company](#)Issued/Filed Dates: **Oct. 3, 1985 / March 16, 1984**Application Number: **JP1984000050413**IPC Class: **H01L 23/12; H01L 23/02; H01L 25/10; H05K 1/18;**Priority Number(s): **March 16, 1984 JP1984000050413**

Abstract: **Purpose:** To enable stacking at two stages and three stages with similar semiconductor devices using chip carriers by a method wherein the upper part of a chip carrier body is provided with an electrode for stacking connection.

Constitution: A resinous frame 9 is adhered to the upper surface in the periphery of a ceramic container base 1, thus forming the chip carrier body. Electrodes 11 penetrating vertically through through-holes 12 are provided in the frame 9 or the four corners of the chip carrier body. After a semiconductor element 4 is fixed to the center recess of the container base 1, the electrode of the semiconductor element 4 is connected to the chip carrier electrode 2 of the base 1 with metallic fine wires 3; then, the whole is sealed with a resin 15. A semiconductor device 10 thus constructed is connected by fitting the electrodes 11 at the four corners of the container base 1 to the electrode 8 of the printed circuit board 7. Next, a similar semiconductor device 20 is stacked on the semiconductor device 10 and fixed by connection with the four-corner electrodes 11 penetrating through the upper and lower surfaces; thereby, a two-stacked chip carrier type semiconductor device is obtained.

COPYRIGHT: (C)1985,JPO&Japio

Family: **none**Other Abstract Info: **none**Foreign References: [Show the 6 patents that reference this one](#)[View Image](#)

1 page



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭60-194548

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和60年(1985)10月3日

H 01 L 23/12

23/02

25/10

H 05 K 1/18

7357-5F

7738-5F

7638-5F

6736-5F

審査請求 未請求 発明の数 1 (全2頁)

⑮ 発明の名称 チップキャリア

⑯ 特 願 昭59-50413

⑰ 出 願 昭59(1984)3月16日

⑱ 発 明 者 仙 波 直 治 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

チップキャリア

2. 特許請求の範囲

チップキャリア本体部の上面に、積重ね接続用の電極が設けられていることを特徴とするチップキャリア。

3. 発明の詳細な説明

イ. 産業上の利用分野

本発明は、集積回路素子などの半導体素子を内部に収納し保護する収納容器(パッケージという)のうち、特にリードレス型として開発されたチップキャリアに関する。

ロ. 従来技術

第1図(a)は、従来一般のチップキャリア型パッケージの半導体装置の平面図、同図(b)は断面図である。これらの図において、セラミックやガラス

エポキシなどで作られているチップキャリアの容器基台1に電極2が形成され、中央凹部に半導体素子4を接着後、半導体素子の電極とチップキャリアの電極2との間が金属細線3を用いて接続され、樹脂5により封止されている。このような半導体装置をプリント回路基板7に搭載する場合は、チップキャリアの電極2とプリント回路基板側電極8を接着剤(導電性接着剤・はんだ等)6を用いて接続している。

しかしながら、このような構造では、平面的な搭載方法のみしか適用不可能であり、プリント回路基板に直接半導体素子を搭載し、ワイヤボンディングによる接続方法と比較しても、ボンディング範囲よりも更に大きくなるので集積度は低くなる。しかし、高集積化、小型化が要求されている現今では、従来方法のチップキャリアの構造をもってしては対応不可能である。

ハ. 発明の目的

本発明の目的は、前述したような従来構造の問題点を解消することのできる多段搭載チップキャ

リヤを提供するに なる。

ニ．発明の構成

本発明によればチップキャリア本体部の上面に、積重ね接続用の電極が設けられたチップキャリアが得られる。

ホ．実施例

つぎに本発明を実施例により説明する。

第2図(a)は本発明の一実施例に係るチップキャリアを用いて組立てた半導体装置の平面図、同図(b)は断面図である。これらの図において、セラミックの容器基台1周辺部上面に、樹脂製の枠体9が接合されて、チップキャリア本体を形成し、枠体9、換言すれば、チップキャリア本体の四隅には、スルーホール12により上下に貫通している電極11が設けられている。容器基台1の中央凹部に半導体素子4を固着後、半導体素子4の電極と基台1のチップキャリア電極2との間は金属細線3により接続後、樹脂15により封止されている。このように構成された半導体装置10は、プリント回路基板7の電極8に容器基台1の四隅の電極

11を合せて接続し、つぎに、同様の半導体装置20を半導体装置10の上に重ね、上下面に貫通している四隅の電極11でもって接続固定することにより、2段重ねのチップキャリア型半導体装置が得られる。

ヘ．発明の効果

本発明のチップキャリアを用いた半導体装置は、チップキャリア本体上部に、積重ね接続用の電極が設けられているので、この電極を用いて、同様のチップキャリアを用いた半導体装置と、2段にも3段にも重ね合わせることができる。したがって、このようにして多段構成とすることにより、プリント回路基板に直接半導体素子を搭載し、ワイヤボンディングで実装するのに比べ、容易に2倍以上の集積度とすることができる効果がある。

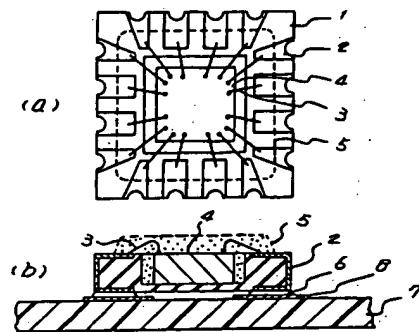
4. 図面の簡単な説明

第1図(a)は従来のチップキャリアを用いた半導体装置の平面図、同図(b)断面図、第2図(a)は本発明の一実施例による半導体装置の平面図、同図(b)

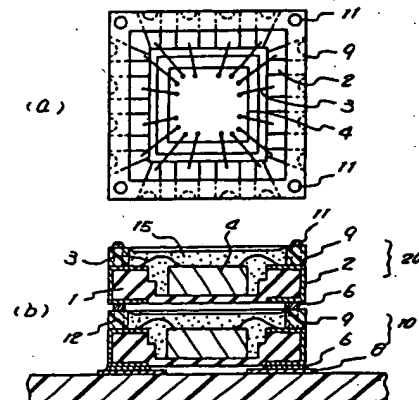
は断面図である。

1……容器基台、2……チップキャリア電極、
3……金属細線、4……半導体素子、5……封止樹脂、7……プリント回路基板、8……回路基板電極、9……枠体、11……積重ね接続用四隅電極、12……スルーホール、10、20……半導体装置。

代理人 弁理士 内 原 晋



第 1 図



第 2 図